

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

Reference A

Japanese Patent Public Disclosure No. 98741/1978

Date of Public Disclosure: August 29, 1978

Application No. 13409/1977

Application Date: February 8, 1977

Inventor: Masao Managashi

Applicant: Nippon Electric Company, Limited

Titel: Higher Recode Processing System

Gist of the Invention

It is an object of the invention to provide a higher recode processing system intended to improve performance by reducing each load of a CPU, a main memory and a channel and the like by means of limiting data to be transmitted between a main memory and an auxiliary storage device to recodes requested by a command (higher recode processing command).

The present invention is characterized in that a command (higher recode processing command) output from a CPU is interpreted and performed independent from the CPU and that a new recode is made in an auxiliary storage device and transmission of said recode to a main memory or storage of said recode in a predetermined position in the auxiliary storage device are respectively controlled in accordance with the command.

Brief Description of the Drawings

Fig. 1 is a block diagram of the present invention.

Figs. 2 and 3 are diagrams showing the command operation used in the present invention.

40...storage device control portion,

41 and 42...shift register

43...storage processing portion

45...mask register

30,31 and 32...cells

⑨日本国特許庁
公開特許公報

⑩特許三願公報
昭53—98741

⑪Int. Cl. ⁷	識別記号	⑫日本分類	庁内整理番号	⑬公開 昭和53年(1978)8月29日
G 06 F 13:00		97(7) C 0	6241—56	
G 06 F 3:00		97(7) C 02	6241—56	発明の款 1
G 06 F 9:00		97(7) C 2	7361—56	審査請求 未請求
G 06 F 13:04		97(7) D 0	6711—56	
G 11 C 9:00		97(7) F 1	6745—56	(全 4 頁)

⑭高水準記録処理方式

東京都港区芝五丁目33番1号
日本電気株式会社内

⑮特 願 昭52—13409

⑯出 願 人 日本電気株式会社

⑰出 願 昭52(1977)2月8日

東京都港区芝五丁目33番1号

⑱発 明 者 真名垣昌夫

⑲代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

高水準記録処理方式

2. 発明の概要

電子計算機システムの図解用補助記憶媒体
装置の記憶媒体上への記憶の作成あるいは作
成された記憶に対する高水準記録処理命令を
検出し、前記憶媒体装置の複数記憶領域を制御
することにより前記憶媒体から記憶をレジ
スタ上に読み取り出して求める記憶を呼びし
前記高水準記録処理命令で指定された4ビット
で前記憶媒体を作成して主記憶媒体への転送を
あるいは前記憶媒体上への格納を中央処理機
器と協立に制御するようにしたこととを特徴
とする高水準記録処理方式。

1. 発明の効果を説明

本発明は高水準記録処理方式に關し、今般

補助記憶と主記憶媒体との記憶の転送等を中央
処理装置とは協立に行う高水準記録処理方式
に關する。

従来の電子計算機システムでは、利用者や
プログラムにより設定された高水準記録処理
命令(以下でコマンドと言う)を実行する
とき、コマンド条件を満たす記憶を補助記憶
媒体から読み込み、転送を行うために中央処理
装置でコマンドをさらに補助記憶制御命令
(入出力命令)に分解して補助記憶媒体から
要求を満たす可能性のある記憶の集合(ブ
ロック)を生成、チェーンを通じて主記憶媒体
へ送り中央処理装置がコマンド条件を満たす
記憶を抽出してコマンド処理を行っている。
しかし、この方式では主記憶と補助記憶との
間のデータ転送量と時間は不必要に多くなり、
主記憶と補助記憶との処理と転送が大きくなつ
中央処理装置が高進化している今日の電子計
算機システムにおいては、各装置の使用用途
の不同を用い、データ転送上の性能低下の

裏面となつてゐる。こゝのような折廻の折廻として、片の三角配置の調子方が考慮されてゐるが、三角配置上、コードの進行に不調な配置の現れみになつられず、音楽的な完成度とはなつてゐない。

、本局の目的は主記憶装置と補助記憶装置間のデータ伝送をコマンドで要求された記憶域のみに限定することによって中央処理装置や主記憶装置およびテープ等の負荷を軽減し電子計算機システムの性能向上を図るための基本型記憶処理方式を提供することである。

この機能では、中央処理装置（CPU）から与えられたコマンドをCPU 上に指定された実行場所はこのコマンド要求に応じて新しい記憶を補助記憶装置上に作成して主記憶への転送あるいは補助記憶装置上の予め定められた位置への写換を調整するようにしている。

次に図面を参照して本発明を詳細に説明する。

例！圖は本局の一例を示すアロ、ク

はさまれて記憶が暗黙されている。プロ、
40は記憶面制御部であり、中央処理部
と主記憶とのインタフェースをとり、送られ
てきたコマンドを解釈し、各セルの読み／
出し指令を制御するとともに記憶面全体の主
制御部となっている。プロ、41、42と
び43は単位記憶が暗黙可能を最速をも
つシフトレジスタであり、1ビットのシフト
遅延はマルからの1ビットの読み出しとび等
しく遅延と等しく、同期している。
プロ、43は記憶面制御部であり、比較部、
ビットカウンタ、記憶カウンタおよびゲート
制御部からなり、副記憶部40から送られ
たコマンドに従ってシフトレジスタ41と
び42を用いて求める記憶の暗出を行い、さ
らにシフトレジスタのゲート制御を行う。プロ、
44はマスタレジスタであり、コマンドで
要求された記憶部分のみを取り出すのが可能に
られる。

第1列の2列目と第2列を用いて、コマンドで

区であり、高圧型圧縮機の圧縮機(マ)を3マ
組の、圧縮の脱コシ/専任シフトスロとして
シフトレススロを使用している。

第2図および第3図は第1図で示した不
定内蔵要素の動作を示し、途中の番号は第
1図と対応している。第2図はセル30に記
載されている記憶のうちレジスタ41に設定
した値と一致する記憶を抽出し、新規記憶を
作成しセル30で格納するコマンドの例を示
し、第3図はレジスタ41に設定した記憶を
セル30の内容と比較して順序づけ通知の位
置を抽出して新規記憶集合を作成するコマン
ドの例を示す。

第1型からいて、記号1, 2, 3, ……
7は調音記号を、記号10, 11, 12, ……
21は倍音記号を表す。記号30, 31および
32は各々^出出し／^込込み音30', 31'
および32'を^出出た^込込音記号としてあり
(それぞれをそれぞれ30, 31および32と呼
ぶ)。この上記記号群グループ(18G)を

用意された項目の内容と一致する記述をセム
30から検出し、このセム30から検出され
た記述をもとに新しい記述を作成し、セム
31で格納する場合を例として本発明の動作
を説明する。

図示していない中央処理装置は制御部1を介して前記制御部40に制御命令を送り、制御可能な場合は番号10を介してコマンドを送る。もし不可能ならば、中央処理装置内で時の管理が行われる。前記制御部40はコマンドを受けとった後に処理可能な場合、番号30および31の状態を調べ、もし番号30および31が使用可能な場合は、前記コマンドの実行を開始する。番号30および31が使用可能な場合は、番号2および3を介して各々の読み出し/書き込み3リットおよび31を所定の位置に搬送し、番号14と番号30 ^{より} ~~番号~~ 番号20と番号31をオン状態にする。また、実行して番号10を介して、コマンド(命令コード、比較項目1の

アドレス、前記項目1の長さ、前記項目1の内容、比較項目2のアドレス、一)を記憶装置43に送り、さらに、前記比較項目の内容を信号線12を通じてシフトレジスタ41に設定し、信号線13を介してマスタレジスタ44に新しく作成すべき記憶の形式を設定する。以上の動作が終了した時点で記憶装置43は制御部5を介してシフトレジスタ42のゲートを開き、セル30に格納された記憶を順次読み出し、このとき、シフトレジスタ41のゲートは信号線3'を介して閉じられている。記憶装置43はビットカウンタを用いてI/Oに送る記憶の最初のビットよりカウンタを開始して記憶内の比較項目の第1ビットがシフトレジスタ42にロードされた時点でシフトレジスタ41の内容と比較を開始する。シフトレジスタ42に記憶がロードされたときと比較処理は終了しており、この結果が真のときは制御部5を介して信号線17をオンの状態にし、シフトレジ

スタの内容をマスタレジスタ44に転送し、その結果、前記コマンドで指定された比較項目の内容と一致する記憶のみからなる新しい記憶がシフトレジスタ43に順次ロードされる。シフトレジスタ42の1記憶の転送が終了した時点で記憶装置43は制御部5を介して前記制御部40に読み込み信号を出す。このあと、前記制御部40は制御部3を用いて読み出し/書き込み信号'を制御してシフトレジスタ43の内容をセル31に書き込む(あるいは信号線21を介して前記制御部40に送り、信号線10を通じて主記憶に転送する)。以上の動作の場合、信号線18はオフの状態になっている。記憶装置43はコマンドに附するすべての処理が終了したときあるいはセル30の記憶すべてを転送した場合に制御部44および信号線11を介して前記制御部40に読み込みを完了状態を通知する。これにより後述する処理が前記制御部40の下で実行される。前記制御部40は新しいコマン

ドを転送あるいは別のセル32を読み出せるかあるいは処理を終了する。

以上の説明では記憶の比較、新規作成を内蔵となり動作を説明したが、記憶の項目内容による順序づけを行う新規記憶の挿入あるいは記憶の変更はシフトレジスタ41および42にセル40から記憶を第3図に示すように交互にロードすることにより可能であり、記憶の削除は前述の動作と同様に処理できる。

以上説明した如く、本発明においては、中央処理装置とは独立に(拡張型)記憶装置制御部40上で高水準の記憶装置命令の実行が記憶装置及びシフトレジスタの使用と、多数記憶装置(セル)の制御とにより可能となり、これにより前記記憶装置より利用するプログラム実行上必要な記憶のみが主記憶に転送され、主記憶と前記記憶装置間のデータ転送量、使用回路を大巾に減少して電子計算機システムの性能を大巾に向上できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図および第2図と第3図は本発明に用いるコマンドの例を示す図である。

第1図において、参照数字40は記憶装置制御部、参照数字41、42、43はシフトレジスタ、参照数字44は記憶装置、参照数字45はマスタレジスタおよび参照数字30、31、32はセルをそれぞれ示す。

代理人 弁護士 内 原 孝

